

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-173134

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

H01L 27/04
H01L 21/822
// H01L 29/866

(21)Application number : 08-334353

(71)Applicant : NEC CORP

(22)Date of filing : 16.12.1996

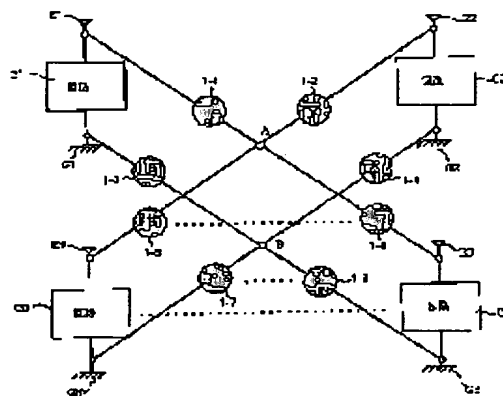
(72)Inventor : YOSHIZAWA YUTAKA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To contrive not to extend the area of a semiconductor device due to the large number of necessary protective circuits by radially connecting positive power sources to a common contact at the center and providing a protective circuit using an element for protecting power source from static discharge between the contact and each positive power source.

SOLUTION: A semiconductor device is provided with N circuits C1, C2,..., CN which are respectively connected to positive power sources E1, E2,..., EN and grounds G1, G2,..., GN. The power sources E1, E2,..., EN are radially connected to a common contact A at the center and protective circuits 1-1, 1-2,..., 1-N which protect the circuits C1-CN from static discharge are respectively connected between the contact A and the power sources E1-En. The number of the protective circuits necessary for the number N of positive power sources or negative power sources becomes N. Therefore, the number of necessary protective circuits can be made the smaller, the more the number of the positive or negative power sources increases.



LEGAL STATUS

[Date of request for examination] 16.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2870514

[Date of registration] 08.01.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173134

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

H

21/822

29/90

D

// H 0 1 L 29/866

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平8-334353

(22) 出願日 平成8年(1996)12月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 吉澤 豊

東京都港区芝五丁目7番1号 日本電気株式会社内

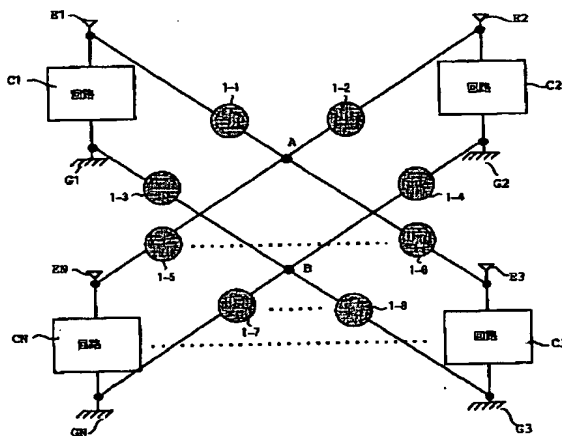
(74) 代理人 弁理士 鈴木 弘男

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 複数の電源とグラウンドを持つ半導体装置において、保護回路の必要個数を削減することによって、保護回路の必要個数が多いことに起因する半導体装置の面積の増大を防ぐことのできる半導体装置を提供すること。

【解決手段】 互いに電氣的に分離した複数の電源を持つ半導体装置において、各正電源を共通の接点を中心として放射状に接続し、該接点と各正電源との間に静電気放電保護用素子を用いた保護回路を設け、また、各負電源または各グラウンドを共通の接点を中心として放射状に接続し、該接点と各負電源または各グラウンドとの間に静電気放電保護用素子を用いた保護回路を設けるようにした。



【特許請求の範囲】

【請求項1】 互いに電氣的に分離した複数の電源を持つ半導体装置において、各正電源を共通の接点を中心として放射状に接続し、該接点と各正電源との間に静電気放電保護用素子を用いた保護回路を設けたことを特徴とする半導体装置。

【請求項2】 互いに電氣的に分離した複数の電源を持つ半導体装置において、各負電源または各グランドを共通の接点を中心として放射状に接続し、該接点と各負電源または各グランドとの間に静電気放電保護用素子を用いた保護回路を設けたことを特徴とする半導体装置。

【請求項3】 前記静電気放電保護用素子が保護ダイオードによって実現される請求項1または請求項2に記載の半導体装置。

【請求項4】 前記保護回路は、いずれかの正電源と他の各正電源間を、またはいずれかの負電源または各グランドと他の各負電源または各グランド間を、複数の保護ダイオードを直列に接続して構成した回路である、請求項1または請求項2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、互いに電氣的に分離した複数の電源を持つ半導体装置に関し、特に保護ダイオードにより構成される静電気放電(Electric Static Discharge (ESD))保護回路を備える半導体装置の改良に関する。

【0002】

【従来の技術】半導体装置では、装置内の回路別に電源を持つものがある。例えば、半導体メモリと装置外の大容量負荷を駆動し得るCMOSバッファが同じ半導体装置内に内蔵される場合、バッファ駆動時の電源-GND(グランド)間の電位変動により、電源-GND間の電位変動に対し比較的感度の高いメモリ回路の電源-GND間の電位変動を防ぐために、バッファとメモリ各々の電源、GNDを分離することがある。

【0003】また、最近は半導体装置の高集積化が進み一つの電源で装置内すべての回路に電流を供給できないため、一つの半導体装置に複数の電源入力端子を設け、その結果一つの半導体装置で装置内の回路が回路別に電源を持つことがある。

【0004】ここで、このような複数の電源を持つ半導体装置に静電気放電保護回路(以下「保護回路」という)を設けた場合の従来の構成を、図3、図4および図*

$$\text{保護回路の必要個数} = (N-1) + (N-2) + \dots + 1$$

例えば半導体装置に6個の電源数があるとすると15個の保護回路が必要である。ここでGND数も6個であるとすればGND側でも同数の保護回路が必要であるため、合計30個の保護回路が必要となる。

【0010】本発明は上記した問題点にかんがみてなされたものであり、その目的は、複数の電源とGNDを持

*5を用いて説明する。図3に示す半導体装置では、回路C1、C2、C3、……CNのN個の回路を有し、回路C1は電源E1およびGND(または負電源)G1に、回路C2は電源E2およびGNDG2とのように、各回路C1～CNはそれぞれ、各電源E1、E2、E3、……ENおよび各GND(または負電源)G1、G2、G3、……GNのそれぞれに接続されている。

【0005】ここで、例えば電源E1と電源E2との間には保護回路2-1が、電源E1と電源E3との間には保護回路2-2が、GNDG1とGNDG2との間には保護回路2-3が、GNDG1とGNDG3との間には保護回路2-6が、それぞれ挿入されているように、各電源と他の各々の電源との間、および各GNDと他の各々のGNDとの間に保護回路がそれぞれ挿入されている。

【0006】この保護回路は図4に示すように、D1とD2の2個のダイオードで構成することが多い。今、図3に示すGNDG1とGNDG2との間に図4に示す保護回路を挿入する場合、図5に示すように、GNDG1を基準に動作する端子1とGNDG2との間は、ダイオードD3とダイオードD1の2個のダイオードにより直列接続される。このとき、端子1とGNDG2の間に静電気放電による高電圧パルスが印加されても、D1、D3の2個のダイオードの容量によりパルスが緩和され内部回路E1が高電圧パルスにより破壊されることを防ぐ。

【0007】このように、半導体装置が複数の電源とGNDを持つとき、一つの電源とGNDを基準に動作する回路を、他のすべての電源とGNDを基準に印加される静電気放電による高電圧パルスから保護し内部回路破壊を防止するために、図3に示すように、各電源と他の各電源との間、また各GNDと他の各GNDとの間に保護回路を挿入している。

【0008】

【発明が解決しようとする課題】しかしながら、図3～図5に示すような従来の保護回路の挿入方式では、電源数、GND数が増えるに従い必要な保護回路数が加速度的に増加し、半導体集積回路の面積が増大する要因になるという問題がある。すなわち、従来の方法では電源数Nに対する保護回路の必要個数は下記に示した数1によって求められるからである。

【0009】

【数1】

半導体装置において、保護回路の必要個数を削減することによって、保護回路の必要個数が多いことに起因する半導体装置の面積の増大を防ぐことのできる半導体装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため

に、本発明による半導体装置は、互いに電氣的に分離した複数の電源を持つ半導体装置において、各正電源を共通の接点を中心として放射状に接続し、該接点と各正電源との間に静電気放電保護用素子を用いた保護回路を設け、また、各負電源または各グランドを共通の接点を中心として放射状に接続し、該接点と各負電源または各グランドとの間に静電気放電保護用素子を用いた保護回路を設けたことを特徴とする。

【0012】さらに、前記静電気放電保護用素子が保護ダイオードによって実現され、前記保護回路は、いずれかの正電源と他の各正電源間を、またはいずれかの負電源または各グランドと他の各負電源または各グランド間を、複数の保護ダイオードを直列に接続して構成した回路であることを特徴とする。

【0013】

【作用】本発明によれば、電源数Nまたはグランド数Nに対し必要な保護回路数はN個である。従来例では電源またはグランドの組み合わせ数分だけ保護回路が必要であるので、本発明によれば電源またはグランド数が増加するほど保護回路の必要個数を削減することができる。従って、数個（例えば6個）以上の複数の電源およびグランド数を持つとき、保護回路の必要個数を削減し、保護回路の必要数が多いことに起因する半導体装置の面積の増大を防止することができる。

【0014】

【発明の実施の形態】以下、本発明による実施の形態について図面を参照して説明する。図1は本発明による半導体装置の実施の形態を示すブロック図であり、図1に示す半導体装置は、回路C1、C2、C3、……CNのN個の回路を有し、回路C1～CNの各々が、正電源E1、E2、E3、……ENの各々およびGND（または負電源）G1、G2、G3、……GNの各々に接続されている。

【0015】ここで、正電源E1～ENは共通の接点Aを中心として放射状に接続されており、接点Aと各正電源E1～ENとの間には静電気放電による高電圧パルスから各回路を保護するための保護回路1-1、1-2、……1-Nが挿入されている。また、各負電源（またはGND）G1～GNは共通の接点Bを中心として放射状に接続されており、接点Bと各負電源（またはGND）G1～GNとの間には静電気放電による高電圧パルスから各回路を保護するための保護素子1-1、1-2、……1-Nが挿入されている。

【0016】ここで、上記保護回路1-1～1-Nは例えば保護ダイオードによって実現され、いずれかの正電源と他の正電源、またはいずれかの負電源（またはGND）と他の負電源（またはGND）は複数の保護ダイオードが直列に接続された回路により接続される。

*【0017】本実施の形態によれば、正電源数Nまたは負電源（またはGND）数Nに対し必要な保護回路の数はN個である。従来例では正電源または負電源（またはGND）の組み合わせ数分だけ保護回路が必要であるので、本実施の形態によれば電源（GND）数が増加するほど保護回路の必要個数を従来例に比べ少なくすることができる。

【0018】なお、本実施の形態では保護回路に用いる保護素子に保護ダイオードを用いているが、本発明における保護素子は保護ダイオードには限定されない。また、本発明における保護回路の回路構成も従来例の図4、図5で示したものには限られない。

【0019】

【実施例】以下、本発明による実施例を図2を用いて説明する。図2は本発明による半導体装置の、電源数、GND数共に6個であるときの実施例を示している。

【0020】正電源E1～E6は共通の接点Aを中心として放射状に接続されており、接点Aと各正電源E1～E6との間には静電気放電による高電圧パルスから各回路を保護するための保護回路5-1、5-2、5-3、5-5、5-10、5-12が挿入されている。また、各GNDG1～G6は共通の接点Bを中心として放射状に接続されており、接点Bと各GNDG1～G6の間には静電気放電による高電圧パルスから各回路を保護するための保護回路5-4、5-6、5-7、5-8、5-9、5-11が挿入されている。これらの保護回路は、いずれかの正電源と他の正電源、またはいずれかのGNDと他のGNDを複数の保護ダイオードで直列に接続した回路である。

【0021】本実施例において必要な保護回路数は、電源側、GND側各々6個ずつで合計12個となる。一方、従来の保護回路の挿入方法では、電源側GND側各々15個ずつで合計30個必要であり、本実施例では保護回路の必要数を相当数削減することができる。

【0022】ここで、保護回路に必要な保護ダイオードの面積について考えると、従来例では各電源間（または各GND間）は保護回路1つで接続されているが、本発明では各電源間（または各GND間）は保護回路2つで接続されている。保護回路は容量として作用するため、2個直列となった場合、容量は1/2となる。そのため本発明において電源間の保護素子による容量を従来と同じにしようとするれば、各ダイオードのサイズ（面積）は2倍必要である。この条件に基づいて従来例と本発明の電源（GND）数による保護素子の総面積を比べると、従来例の1保護回路のダイオードの面積を1とした場合下記の表1のようになる。

【0023】

【表1】

電源とGNDの組み合わせ数	2	3	4	5	6	7
従来例の保護ダイオード総面積	2	6	12	20	30	42

本発明の保護ダイオード総面積

表1に示されるように、電源およびGNDの数が6個以上になると、本発明による保護回路の挿入方式の方が従来の方式より保護ダイオードの総面積が少なくなることがわかる。

【0024】

【発明の効果】以上説明したように、本発明によれば、互いに電氣的に分離した複数の電源を持つ半導体装置において、各正電源を共通の接点を中心として放射状に接続し、該接点と各正電源との間に静電気放電保護用素子を用いた保護回路を設け、また各負電源または各グランドを共通の接点を中心として放射状に接続し、該接点と正電源、また該接点と各負電源または各グランドとの間に静電気放電保護用素子を用いた保護回路を設けるようにしたので、従来例に比し電源または負電源（グランド）の数が増加するほど保護回路の必要個数を削減することができ、保護回路の必要数が多いことに起因する半導体装置の面積増大を防ぐことができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の回路構成を示すブロック図である。

8 12 16 20 24 28

*【図2】本発明による半導体装置の実施例の回路構成を示すブロック図である。

【図3】従来例の半導体装置の回路構成を示すブロック図である。

【図4】保護回路の例を示す回路図である。

【図5】保護回路の例を示す回路図である。

【符号の説明】

A、B 接点

10 C1、C2、C3、C4、C5、C6、CN 回路

E1、E2、E3、E4、E5、E6、EN 電源

G1、G2、G3、G4、G5、G6、GN GND

(グランド)

1-1、1-2、1-3、1-4、1-5、1-6、1-7、1-8 保護回路

2-1、2-2、2-3、2-4、2-5、2-6、2-7、2-8、2-9、2-10、2-11、2-12

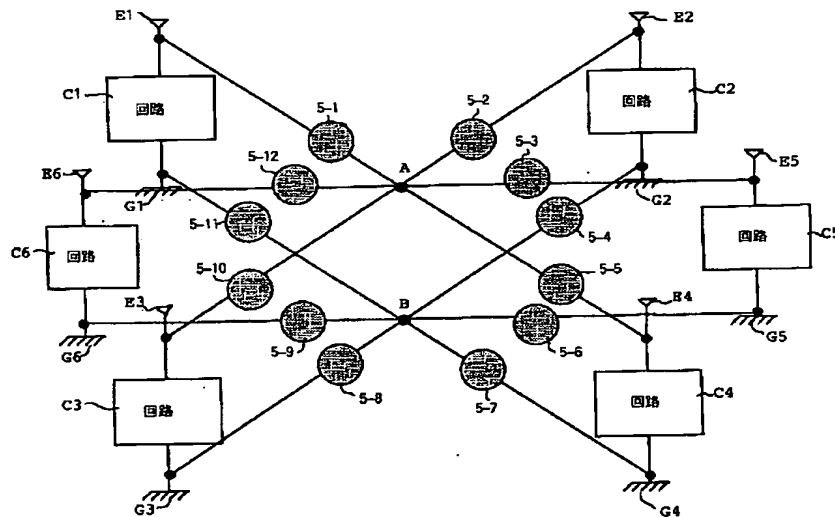
保護回路

5-1、5-2、5-3、5-4、5-5、5-6、5-7、5-8、5-9、5-10、5-11、5-12

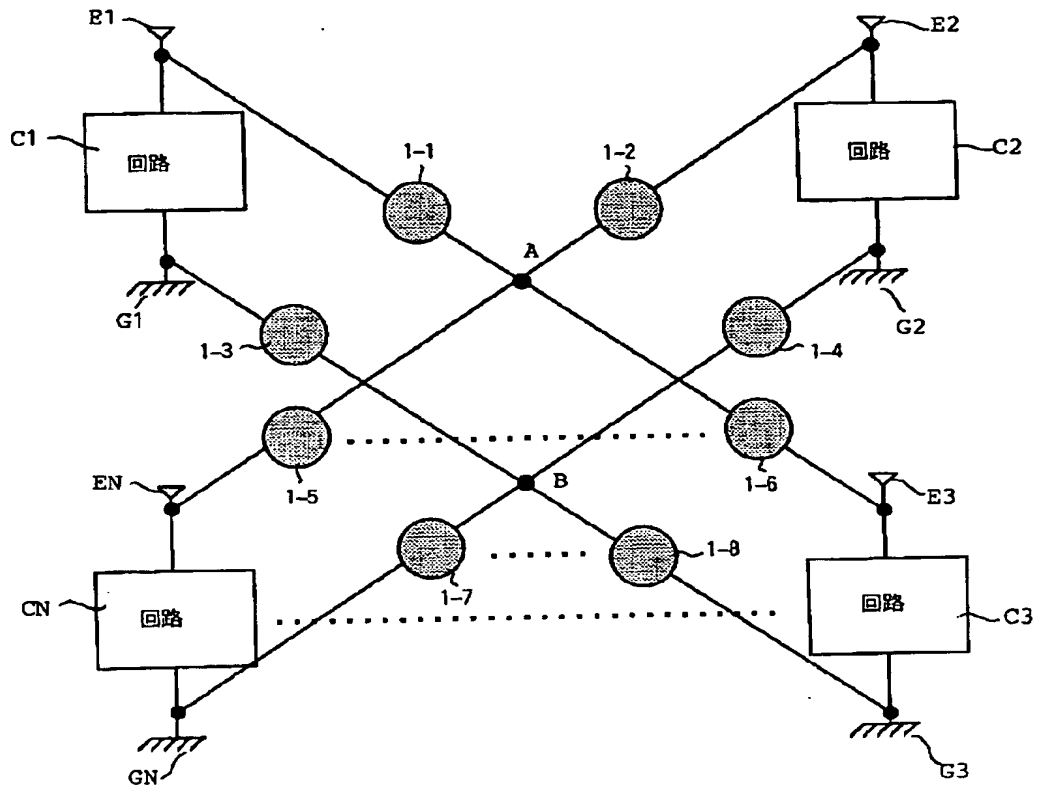
20 保護回路

* 保護回路

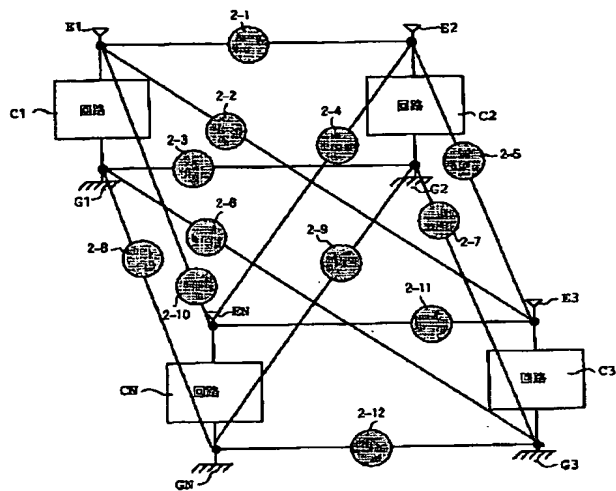
【図2】



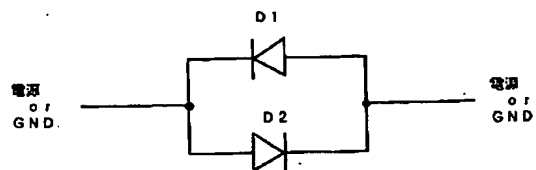
【図1】



【図3】



【図4】



【図5】

